

낸드 플래시 메모리 기반 저성능 저장장치를 위한 Flash Translation Layer의 확장

박 상 훈, 하 승 환, 방 관 후, 정 의 영
연세대학교 전기전자공학과

요약

NAND flash memories have been adopted to low performance flash-based storage devices due to its good characteristics. In this paper, we extended a flash translation layer (FTL) to support two-plane operations of NAND flash memories to improve the performance of storage devices. As a results, performance of a single chip supported by a extended FTL utilizing two-plane operations has improvement of up to 32% in terms of throughput compared with the non-extended FTL.

1. 서론

낸드 플래시 메모리는 비휘발성 메모리로서 최근 우수한 특성으로 여러 분야에 활용되고 있으며, 특히 발전하는 공정에 따라 cost-per-bit이 낮아지고 있어 저성능 저장장치에 많이 사용되고 있다. 이러한 낸드 플래시 메모리는 쓰기, 읽기의 단위인 page들의 묶음인 block단위로만 지우기 연산이 가능하고 in-place update가 불가능한 특성 때문에 기존 파일 시스템과 함께 사용하기 위해서는 flash translation layer (FTL)라고 하는 소프트웨어와 함께 사용되어야 한다.

FTL은 host system으로부터 명령을 받아 낸드 플래시 메모리가 처리할 수 있는 형태의 명령으로 바꾸어 주기 때문에 FTL의 효율성에 따라 전체 성능이 결정된다고 해도 과언이 아니다.

이에 본 논문에서는 기존 FTL을 낸드 플래시 메모리의 기능을 보다 효율적으로 활용하도록 확장하여 저성능 저장장치의 성능을 올리는 것을 목표로 한다.

2. Two-plane 연산

앞에서 언급 하였듯 낸드 플래시 메모리의 특성이 뛰어난 하지만 고성능 저장장치에 사용되기에는 부족했기 때문에 성능을 높이기 위해 multi-channel/way 구조가 제안되었다. [1]

Multi-channel/way 구조는 다수의 낸드 플래시를 이용하여 interleaving 및 striping과 같은 기법을 이용하여 성능을 높일 수 있도록 해준다.

하지만 이러한 구조는 다수의 낸드 플래시 메모리를 필요로 하기 때문에 크기와 가격에 민감한 저성능 저장장치에서는 사용되기 어렵다.

하지만 낸드 플래시 기술의 발전으로 대부분의 낸드 플

래시가 two-plane 연산을 지원하게 되어 단일 칩만으로도 다수의 plane과 각 plane의 독립적인 page 레지스터를 활용하여 multi-way 구조와 유사한 효과를 낼 수 있게 되었다.

그림 1에서 T_CMD는 주소와 데이터를 낸드 플래시로 전송하기 위해 버스를 점유하는 시간이고 T_PROG는 낸드 플래시 내부의 데이터 레지스터에서 실제 메모리 셀로 옮겨지는 시간이다. Two-plane 연산은 낸드 플래시 내부에서 약간의 busy(B) period를 두고 두 개의 plane간에 T_PROG를 숨김으로써 성능을 올린다. Two-plane 연산은 쓰기 뿐 아니라 읽기, 지우기, copy-back 연산에서 모두 독립적인 plane을 운용할 수 있도록 해 준다.

다만 two-plane 연산은 인접한 plane 내부에서 같은 주소를 가지는 page와 block만을 two-plane 연산의 대상으로 할 수 있다는 제약점이 있다.

3. FTL의 확장

기존 낸드 플래시 기반 저장장치들을 제어하기 위해 FTL에 관한 연구 또한 활발히 이루어져 왔다. 본 연구에서는 로그 블록을 각 데이터 블록마다 하나씩 할당하여 in-place update가 불가능한 낸드 플래시의 단점을 보완한 BAST 알고리즘을 확장하였다 [2].

Two-plane 연산이 가능한 낸드 플래시가 확장된 FTL과 동작할 때 확장된 FTL은 그림 2와같이 동시에 연산 가능한 두 개의 page를 합쳐 두 배의 크기를 가지는 하나의 virtual page로 간주하고 두 page 이상의 쓰기를 필요로 하는 request가 발생할 경우 virtual page에 쓰기 연산을 실행하며, 이 연산은 two-plane 연산으로 수행되어 두 개의 plane에 위치하는 두 개의 page에 쓰기 연산을 수행하게 된다. 다만, 한 page 쓰기뿐일 경우, 또는 다른 주소의 page에 대한 쓰기 연산일 경우는 보통의 쓰기 연산을 활용하도록 하였다.

이러한 확장기법은 two-plane을 활용할 수 있으면서도 확장 전 FTL의 연산 복잡도와 큰 변화가 없어 연산 능력이 높지 않은 저성능 저장장치에 충분히 적용 가능할 것이다.

4. 실험 결과

확장된 FTL의 성능평가를 위해 개발된 FTL기반으로 trace-driven simulator를 제작하여 이용하였다. 이

simulator는 [5]의 낸드 플래시 사양 및 구조적 parameter와 trace를 입력받아 FTL의 연산결과를 바탕으로 저장장치의 throughput을 출력해 준다.

그림 3은 simulation 결과를 보여주고 있는데, 1W는 1-way / 1-plane 구조, 2P는 1-way / 2-plane 구조, 2W는 2-way / 1-plane 구조를 나타내며, 가로축은 사용된 trace의 종류를 나타낸다. 2W구조는 [6]에 제시된 방법을 통해 확장한 FTL을 사용하였다.

사용된 첫 번째 trace는 [3]에서 사용된 trace 중 일부분을 사용하였고 두 번째 trace는 대용량의 파일을 인터넷으로부터 다운로드 하는 디스크 접속 패턴을 [4]를 이용하여 추출하였다.

2P구조는 단일 칩을 사용한 1W 구조 대비 trace에 따라 약 15, 32퍼센트의 성능향상을 가진다. 이는 two-plane 연산의 사용으로 낸드 플래시의 긴 지연시간이 가려진 때문이다. 더불어 2P 구조는 두 개의 칩을 사용한 2W구조와 비교하더라도 약 74퍼센트 성능을 보여준다.

5. 결론

본 논문에서는 낸드 플래시 기반 저장장치들에서 필수적인 소프트웨어인 FTL을 낸드 플래시를 보다 효율적으로 활용하도록 확장하였다.

확장된 FTL은 크기 및 가격이 중요한 사안인 저성능 낸드 플래시 기반 저장장치들에서 소프트웨어 오버헤드가 거의 없이 단일 칩으로 입력 패턴에 따라 최대 32퍼센트의 성능향상을 보여주었다. 향후 보다 다양한 낸드 플래시 기능 및 wear-leveling 등을 지원하도록 확장한 FTL을 통해 보다 신뢰성 있고 고성능의 낸드 플래시 기반장치에 관해 연구할 계획이다.

Acknowledgement : 이 논문은 이스트 후의 지원 및 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2009-0068969, KRF-2007-313-D00578)

참고 문헌

1. J.U. Kang, J.S. Kim, C. Park, H. Park, J. Lee, "A multi-channel architecture for high-performance NAND flash-based storage system", *Journal of Systems Architecture*, vol.53, Issue 9, pp. 644-658, Sep. 2007.
2. J. Kim, J.M. Kim, S.H. Noh, S.L. Min, and Y. Cho, "A space-efficient flash translation layer for CompactFlash systems", *Consumer Electronics, IEEE Transactions on*, vol.48, no.2, pp.366-375, May. 2002.
3. L.P. Chang and T.W. Kuo, "An adaptive striping architecture for flash memory storage systems of embedded systems", *Real-Time and Embedded*

Technology and Applications Symposium, 2002. Proceedings. Eighth IEEE, pp. 187-196, 2002.

4. Mark Russinovich, DiskMon for Windows v2.01, <http://technet.microsoft.com/en-us/sysinternals/bb896646.aspx>, Nov. 2006.
5. Samsung Electronics, 2G x 8 Bit / 4G x 8 Bit / 8G x 8 Bit NAND Flash Memory Rev 1.0, Mar. 2007.
6. Sang-Hoon Park, Seung-Hwan Ha, Kwanhu Bang, and Eui-Young Chung, "Design and analysis of flash translation layers for multi-channel NAND flash-based storage devices", *Consumer Electronics, IEEE Transactions on Volume 55, Issue 3*, pp.1392-1400, Aug. 2009.

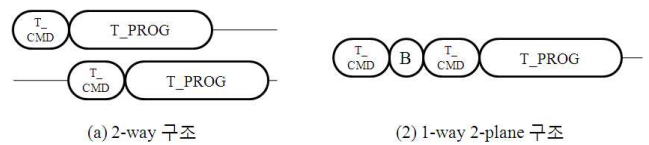


그림 1. 2-way와 2-plane에서의 두 page 쓰기 연산의 timing diagram.

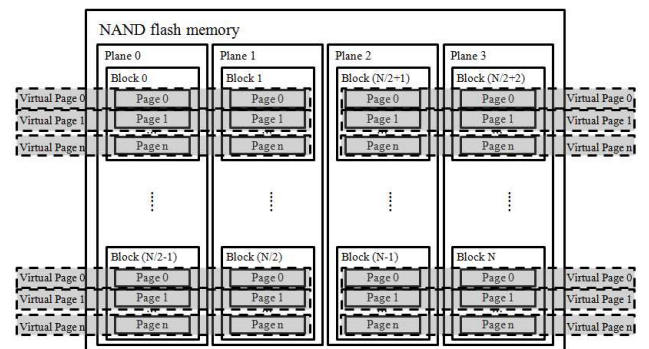


그림 2. 확장된 FTL의 memory map 구조.

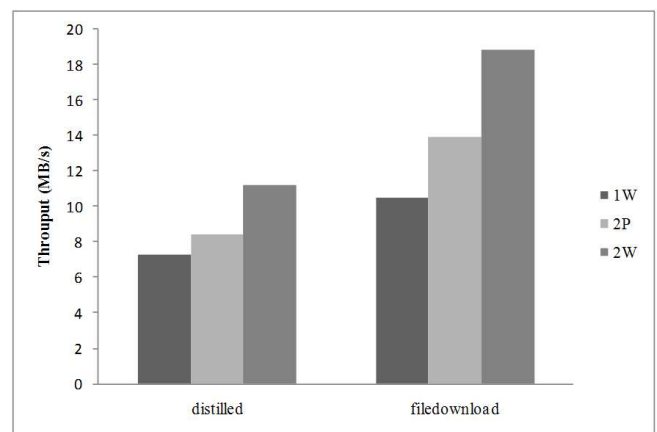


그림 3. 두 개의 trace와 3개의 서로 다른 구조에 따른 Trace driven simulator의 실험결과.